

## IC CARD AND MANUFACTURE THEREOF

**Publication number:** JP6064379 (A)

**Publication date:** 1994-03-08

**Inventor(s):** KATO TERUO +

**Applicant(s):** OKI ELECTRIC IND CO LTD +

**Classification:**

- **international:** B42D15/10; G06K19/077; H01L21/02; H01L21/336; H01L27/12; H01L29/78; H01L29/786; B42D15/10; G06K19/077; H01L21/02; H01L27/12; H01L29/66; (IPC1-7): B42D15/10; G06K19/077; H01L29/784

- **European:**

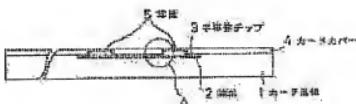
**Application number:** JP19920215099 19920812

**Priority number(s):** JP19920215099 19920812

**Abstract of JP 6064379 (A)**

**PURPOSE:** To increase the strength against bending and, at the same time, make it possible to produce a large scale circuit at the formation of semiconductor chips mainly housed in an IC card.

**CONSTITUTION:** The thickness of a semiconductor chip 3 formed on a card bed 1 is set to be 10μm or less by grinding the rear surface of a matrix or producing semiconductor layer on the card bed 1.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-64379

(43)公開日 平成6年(1994)3月8日

(51)Int.Cl. <sup>6</sup> B 4 2 D 15/10 G 0 6 K 19/077 H 0 1 L 29/784	識別記号 5 2 1	序内整理番号 9111-2C	F I	技術表示箇所
		8623-5L 9056-4M	G 0 6 K 19/ 00 H 0 1 L 29/ 78	K 3 1 1 C
審査請求 未請求 請求項の数5(全 5 頁)				

(21)出願番号 特願平4-215099

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(22)出願日 平成4年(1992)8月12日

(72)発明者 加藤 雄男

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

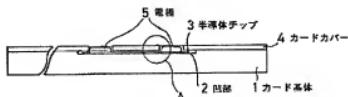
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 ICカードおよびその製造方法

(57)【要約】

【目的】 本発明は、ICカードにおける、それに収納される主に半導体チップの形成に関するもので、曲げに対する強さを増すとともに、大規模回路を形成できる(つまり曲げに対する強さを増せばチップ面積を大きくできる)ことを目的とするものである。

【構成】 本発明は前記目的のため、半導体チップ3の厚さを10μm以下として(基板裏面を研磨するあるいはカード基体1上に半導体層を形成する)、カード基体1上に形成するようにしたものである。



本発明の実施例の概要図

### 【特許請求の範囲】

【請求項1】 回路素子が形成されている活性層を有する半導体基板の厚さが1.0μm以下の半導体チップを搭載していることを特徴とする1Cカード。

【請求項2】 (a) 半導体基板の主表面上に、絶縁分離膜を含む回路素子を形成する工程、(b) 前記半導体基板の前記主表面の反対側の面を研磨して、厚さを1.0μm以下の半導体チップとする工程、(c) 前記半導体チップをカード基体に接着する工程、以上の工程を含むことを特徴とする1Cカードの製造方法。

【請求項3】 半導体基板としてSOI基板を使用することを特徴とする請求項2記載の1Cカードの製造方法。

【請求項4】 (a) 半導体基板の主表面上に絶縁膜を形成し、その上に多結晶または非晶質シリコン膜を形成する工程、(b) 前記多結晶または非晶質シリコン膜上に回路素子を形成する工程、(c) 前記基板の主表面の反対側の面を該基板の厚さが薄くなるよう除去し、薄膜半導体チップとする工程、(d) 前記薄膜半導体チップをカード基体に接着する工程、以上の工程を含むことを特徴とする1Cカードの製造方法。

【請求項5】 (a) カード基体上に絶縁膜を形成し、その上に多結晶または非晶質シリコン膜を形成する工程、(b) 前記多結晶または非晶質シリコン膜上に、回路素子を形成する工程、以上の工程を含むことを特徴とする1Cカードの製造方法。

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】 この発明は、1Cカードにおける、特にその中に搭載する半導体チップを中心とした構造およびその製造方法に関するものである。

#### 【0002】

【従来の技術】 1Cカードは周知のように、多種の情報を記憶させる回路構成をもった半導体(1C)チップ(シリコンチップとも言う)をカードに収納したものであり、そのカードを外部装置に挿入して情報交換するものである。

#### 【0003】

【0003】 その1Cカードの従来の例の構造の断面図を図5に示し以下に概略説明する。

【0004】 カード基体(一般に耐熱性の合成樹脂か金属でできているカード状のもの)の1の一部に凹部2が形成されており、その凹部2に半導体チップ3が接着されている。その半導体チップ3の表面の一部には、電源や外部との情報交換のための電極5が形成されている。表面はその電極5が外部に出るように形成されたカードカバー4で覆われている。

【0005】 この1Cカードの厚さは、JIS規格でも決められているように、0.76±0.08mmと薄いために、半導体チップ3は0.2ないし0.3mmの厚さになるようにした後、カード基体1の凹部2に接着さ

れている。

#### 【0006】

【発明が解決しようとする課題】 しかしながら、上記構成の1Cカードでは、大規模回路を作成しやすいという欠点があった。

【0007】 1Cカードは、前述したように厚さ0.8mmと薄いため、カード自体が曲げに強いことが要求される。しかしながら、これまでの構成では、電子回路は厚さ0.2~0.3mmの単結晶シリコン基板上に作成されているため、曲げに弱いという欠点がある。単結晶シリコン基板は曲げに弱く、力が加わると、チップが割れるためである。

【0008】 このためには、チップに加わる力を小さくするため、チップを小さくするという方法がとられている。しかし、これでは微細化が進んだとしても、構成できる回路規模には限界が生じる。

【0009】 本発明は、上記問題を解決するため、前記チップの厚さを1.0μm以下の厚さとし、曲げに強く、大規模回路の形成が可能な半導体チップひいては1Cカードを提供することを目的とする。

#### 【0010】

【課題を解決するための手段】 本発明は、1Cカードに搭載される半導体チップの厚さを1.0nm~1.0μmと薄膜化して、カード基体上に形成するようにし、もって、チップの大きさに対する制限を緩和するようにしたものである。

#### 【0011】

【作用】 前述したように本発明では、カード基体上に、厚さ1.0nm~1.0μmの薄膜デバイスを形成するようにしたので、従来の問題点であった、カードの機械的強度の問題を解消し、もって、チップサイズに制限されることなく、回路規模を拡大することが可能となる。

#### 【0012】

【実施例】 図1は、本発明の実施例の概念を示す断面図であり、図2は第1の実施例、図3は第2の実施例、図4は第4の実施例であり、図2ないし図4は図1のO印で示すA部の拡大断面図である。

【0013】 本実施例でも、半導体チップ(以下シリコンチップまたは単にチップと称す)3をカード基体1の凹部2に形成し、電極5が外部に出るようにカードカバー4を設けていることは従来同様である。

【0014】 ただ、本実施例が従来と異なる点は、チップ3の厚さを1.0μm以下にしたことである。従って、その分カード基体1の凹部2下の厚さは厚くできる。

【0015】 従来、このチップ3は、例えば1.0mm角、厚さ0.2~0.3mm(即ち2.00~3.00μm)といった大きさであるが、実際に回路構成に必要な素子を形成するのはそのチップの主表面の約1μmの厚さ(深さ)の部分である。このことは、チップとしては1.0μm以下の厚さで十分機能は果たせることは自明で

ある。

【0016】一般にシリコン基板でできているこのシリコンチップは、薄くするほど曲げに対する強さは強くなる。つまり、薄くなるほど可換性が倍増するので、従来2000~3000μmの厚さであったものを、10μm以下の厚さにすれば曲げに対する強さは2000~3000倍になる。従って、チップ面積も従来より増大することができ、従来より大規模な回路の形成ができる。かつて、前述したようにカード基体1の凹部2の厚さも従来より厚くできるので、ICカードとしての曲げに対する強さも倍増する。

【0017】以下、このような本発明の実施例のICカード第1ないし第5の実施例をその製造方法も含めて説明する。

【0018】図2に本発明の第1の実施例を示す。前述したように、本図は図1のO印で示したA部の拡大図である(図3、図4も同様)。

【0019】本実施例は、カード基体1上にポリイミド6などを用いて、チップ厚さ0.5~2μmまで研磨されたシリコンチップ3が接着されているものである。さらに、電源外部との情報交換のために電極5が從来同様形成されており、カードカバー4が形成されている。シリコンチップ3の厚さは0.5~2μmであり、カード自体の厚さ0.8mmに比べて十分薄いため、カードの強度は主としてカード基体1で維持されるが、従来よりも基体1の厚さを大きくでき、強度をあらがうことができる。また、チップ厚さは0.5~2μmしかないと前述したように曲げ力に対して強くなり、チップ寸法の制限が大幅に緩和される。

【0020】このシリコンチップ3は、特に同示しないが、次の手順により作成する。

【0021】まず、通常のIC製造プロセスを利用して、シリコン基板主表面上に回路素子を形成する。その後、回路素子形成面(主表面)側に接着剤を塗布し、研磨に対する支持基板を接着する。次に、回路素子を形成した主表面と反対側、つまり基板の裏面より選択ポリッキングを用いて基板を研磨して除去し、基板を薄膜構造のチップとする。選択ポリッキングは、シリコンの加工速度に対して、シリコン酸化物の加工速度が1/100程度となるようなアミノ系加工液を用いた機械化がリッキングで行う。このため、一般に基板上の下層として形成されている素子分離絶縁膜などの酸化膜裏面まで加工面が達すると、加工速度が著しく遅くなり、薄膜構造を得ることができる。この薄膜チップをポリイミドの熱圧着により、カード基体1の凹部2上に圧着する。さらに、前記支持基板をエッチング除去し、後は従来同様のカード作成工程を経ることにより、ICカードが完成する。

【0022】図3に、本発明の第2の実施例を示す。第1の実施例と異なる点は、シリコンチップ3の裏面に、

絶縁膜(シリコン酸化膜)7が形成されていることである。この作成方法は、第1の実施例とほぼ同じであるが、シリコンチップ3の基板として、通常のシリコン基板ではなく、SOI(Silicon-on-insulator)基板を用意する点だけが異なる。このSOI基板は、ビームアーニールなどにより形成されたものでも良いが、SOI基板形成時にバターンを考慮する必要がない、SIMOX、ウエーハーボンディングなどの方法により作成されたものが都合が良い。薄膜研磨時にはSOIとしての埋め込み酸化膜層で研磨が停止する。この実施例ではシリコンチップ3の裏面は、あらかじめ熱酸化膜7でおおわれているため、界面特性が良好であり、界面リテークなどの問題が発生しないという利点がある。また、裏面が酸化膜であるため、活性領域のオーバエッチという問題も生じない。

【0023】第3の実施例は、図示しないが、単結晶シリコン薄膜ではなく、多結晶(または非晶質)シリコン膜を用いるものである。シリコン基板上に酸化膜を形成し、さらに厚さ10~500nmの多結晶シリコン膜を形成し、この多結晶シリコン膜中に回路素子を形成するものである。後の工程は第2の実施例と同じになる。

【0024】多結晶シリコン上に作成したデバイスは、単結晶シリコン上のそれに比べて、電気特性は劣ることが知られている。しかし、非晶質シリコン膜の圧縮結晶化による多結晶シリコン膜は結晶粒径が平均で5μm程度と大きく、単結晶シリコン上のデバイス特性にかなり近いものが得られている。したがって、単結晶シリコン薄膜作成に比べて、多結晶シリコン薄膜のコストが大幅に小さいことを考慮すれば、大規模回路のチップを作成できるという利点がある。

【0025】図4に第4の実施例を示す。構造的には第3の実施例と似ているが製造方法が異なるものである。

【0026】まず、ステンレスなどの耐熱性金属または、ポリイミドなどの耐熱性樹脂からなるカード基体1を用意する。このカード基体1上に、デバイスへの不純物の拡散を防止するために、1~50μmのシリコン酸化膜8もしくはシリコン窒化膜を形成し、さらに、厚さ10~500nmの多結晶(または非晶質)シリコン膜を形成する。そして、この多結晶(または非晶質)シリコン膜上に回路素子を形成する。その部分チップ3となり、最後に従来同様カードカバー4を形成し、ICカードが完成する。

【0027】優れたデバイス特性を得るために、前項で述べた大粒径多結晶シリコン膜を用いることが望ましい。

【0028】また、カード基体1の耐熱性としては、デバイスの形成プロセス温度に耐えることが必要となる。このプロセス最高温度は各種プロセス毎にかなり異なるが、非晶質シリコンプロセスで300~400°C、多結晶シリコンプロセスで約600°Cとなる。

【0029】これら多結晶（または非晶質）シリコン膜にデバイスを形成する方法は、先の第1～第3の実施例に比べて、シリコン基板などの研磨などの工程が不要であるため、コスト上のメリットが大きい。また、このため、ICカード大のシリコンチップを作成することが可能であり、大規模回路が形成できるという利点がある。

【0030】第5の実施例は図示しないが、第4の実施例とほぼ同一であるが、多結晶シリコン膜の代りに、単結晶シリコン膜を用いるものである。この単結晶シリコン膜はレーザまたは電子ビームなどのビームアーニールにより形成するため、カード基体の耐熱性がより重要となり、コストアップを招くが、デバイス特性がより向上するため、回路特性上有利となる。

【0031】以上、いくつかの実施例について説明したが、薄膜半導体基板上にデバイスを形成したことが本質的な点であり、デバイスの種類、構造、製造方法は本実施例に限定するものではないのはもちろんである。

【0032】また、本実施例は主に、1チップ/1カードの構成を例示したが、これが2チップ以上にわたっても良いのはもちろんである。そうすれば、用途別にプロセスの異なるチップを登載する事が可能となり、応用範囲が広がり、また、プロセス統合の困難さが減少することになる。

【0033】さらにこれらの中間膜デバイスを2層以上の積層構造にすることも可能である。

【0034】なお、薄膜半導体層の必要な膜厚は使用するプロセスによって異なる。

【0035】MOS系のデバイスの場合、能動層は表面

側のわずか0.5～2μm程度であり、この厚さであれば動作させることが可能である。しかし、ハイポーラデバイスでは、基板の深さ方向に電流を流すため、もっと厚い膜厚、例えば10μm程度（あるいはそれ以上）が必要となることもあるが、ただし、この場合は、デバイスの縮小化とともに小さくなってしまっており、もっと薄い膜を使用することも可能である。

#### 【0036】

【発明の効果】以上、詳細に説明したように、本発明では、カード基体上に、厚さ10nm～10μmの薄膜デバイスを形成するようにしたので、従来の問題点であった、カードの機械的強度の問題を解消し、もって、チャンバライズに制限されることなく、回路の規模を拡大することが可能となる。したがって、より機能の高いICカードを提供することが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施例の概念図

【図2】本発明の第1の実施例

【図3】本発明の第2の実施例

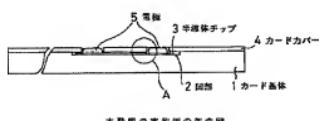
【図4】本発明の第4の実施例

【図5】従来例

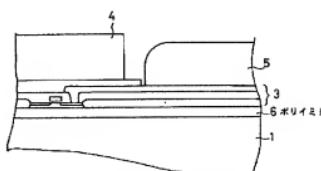
【符号の説明】

- 1 カード基体
- 2 回路
- 3 半導体チップ
- 4 カードカバー
- 5 電極

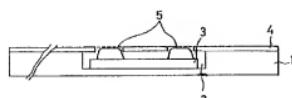
【図1】



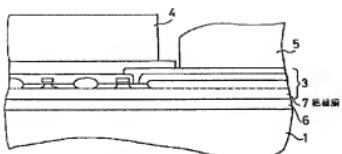
【図2】



【図3】



【図3】



【図4】

